

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-223165

(43)Date of publication of application : 17.08.2001

(51)Int.Cl.

H01L 21/20
H01L 21/205
H01L 21/306
H01L 33/00

(21)Application number : 2000-038213

(71)Applicant : HITACHI CABLE LTD

(22)Date of filing : 10.02.2000

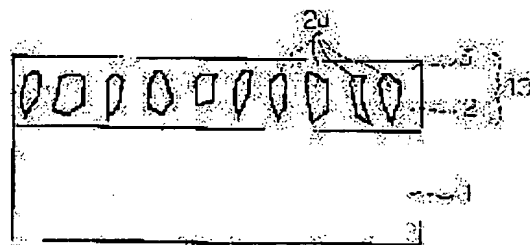
(72)Inventor : SAKAGUCHI HARUNORI

(54) NITRIDE SEMICONDUCTOR AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a nitride semiconductor that is excellent in quality and productivity by reducing generation of crystal and by preventing generation of warping, and a method of manufacturing the same.

SOLUTION: In a nitride semiconductor grown on a substrate 1 and in a method of manufacturing the same, after the nitride semiconductor layer 10 is grown on the substrate 1 and a porous layer 2 having number of fine voids 2a is formed in the nitride semiconductor layer 10, a heat treatment is made to form a recrystallized layer 3 by recrystallizing the surface.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-223165

(P 2 0 0 1 - 2 2 3 1 6 5 A)

(43) 公開日 平成13年8月17日 (2001. 8. 17)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)
H01L 21/20		H01L 21/20	5F041
21/205		21/205	5F043
21/306		33/00	C 5F045
33/00		21/306	B 5F052

審査請求 未請求 請求項の数10 OL (全6頁)

(21) 出願番号 特願2000-38213 (P 2000-38213)

(22) 出願日 平成12年2月10日 (2000. 2. 10)

(71) 出願人 000005120

日立電線株式会社

東京都千代田区大手町一丁目6番1号

(72) 発明者 坂口 春典

茨城県土浦市木田余町3550番地 日立電線

株式会社アドバンスリサーチセンタ内

(74) 代理人 100068021

弁理士 絹谷 信雄

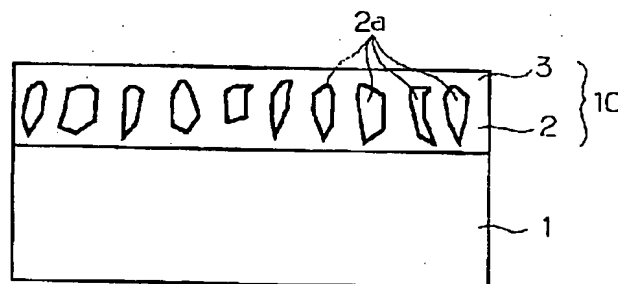
最終頁に続く

(54) 【発明の名称】 窒化物半導体及びその製造方法

(57) 【要約】

【課題】 結晶欠陥の発生を低減すると共に反りの発生を防止することにより、品質と生産性に優れた窒化物半導体及びその製造方法を提供する。

【解決手段】 基板1上に成長される窒化物半導体及びその製造方法において、基板1上に窒化物半導体層10を成長させ、その窒化物半導体層10に多数の微細なボイド2aを有する多孔質層2を形成した後、熱処理を施して表面を再結晶化させて再結晶層3を形成する。



【特許請求の範囲】

【請求項 1】 基板と、該基板上に形成され内部に多数の微細なボイドを有する窒化物半導体層とを備えたことを特徴とする窒化物半導体。

【請求項 2】 基板と、該基板上に形成され内部に多数の微細なボイドを有する窒化物半導体層と、該窒化物半導体層の上に少なくとも一層形成された薄膜とを備えたことを特徴とする窒化物半導体。

【請求項 3】 上記窒化物半導体層及び上記薄膜は、GaN、AlGaN、又は InGaN のいずれかからなる請求項 1 又は 2 に記載の窒化物半導体。

【請求項 4】 基板上に窒化物半導体層を成長させ、その窒化物半導体層に多数の微細なボイドを形成した後、熱処理を施して表面を再結晶化させて再結晶層を形成することを特徴とする窒化物半導体の製造方法。

【請求項 5】 基板上に窒化物半導体層を成長させ、その窒化物半導体層に多数の微細なボイドを形成した後、熱処理を施して表面を再結晶化させて再結晶層を形成し、該再結晶層上に一層以上の薄膜をエピタキシャル成長により形成することを特徴とする窒化物半導体の製造方法。

【請求項 6】 上記微細なボイドの大きさ、数、密度、分布などを上記熱処理により制御する請求項 4 又は 5 に記載の窒化物半導体の製造方法。

【請求項 7】 上記の製造を行った後、上記基板或いは上記基板及びボイドを有する多孔質層を剥離する請求項 4 から 6 のいずれかに記載の窒化物半導体の製造方法。

【請求項 8】 上記の製造を行った後、上記基板がある側とは反対側の表面に他の基板を貼り付け、上記基板或いは上記基板及び上記多孔質層を剥離する請求項 4 から 7 のいずれかに記載の窒化物半導体の製造方法。

【請求項 9】 上記他の基板としてシリコンなどの半導体基板、窒化アルミニウムなどの高熱伝導性基板、或いは銅、アルミなどの金属基板を用いる請求項 4 から 8 のいずれかに記載の窒化物半導体の製造方法。

【請求項 10】 上記熱処理を水素中、 NH_3 中、もしくはその両者を含む雰囲気中で行う請求項 4 から 9 のいずれかに記載の窒化物半導体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、窒化物半導体及びその製造方法に係り、特に異種基板上であっても結晶欠陥が少なく、反りが少ない窒化物半導体層が形成される窒化物半導体及びその製造方法に関するものである。

【0002】

【従来の技術】 一般に、GaN、あるいはその混晶の AlGaN、InGaN などの窒化物半導体は、同種の基板が実質的に存在しないため、サファイアや SiC 等の異種基板上に薄膜成長されて製造されている。

【0003】 しかし、このように異種基板上に成長され

た窒化物半導体は、基板との格子定数が異なるため、それに起因する結晶欠陥の増加や、基板と薄膜との熱膨張差により発生する反りが成長時及び成長後に問題となっている。

【0004】 結晶欠陥は、その窒化物半導体から製造される、光素子の発光特性や信頼性を悪化させ、電子デバイスのリーク電流や非線形性の発生、信頼性低下などの原因となる。

【0005】 また、反りは、成長中では加熱物体（例えばグラファイト製のサセプタ）との接触の不均一性を生じさせ、エピ薄膜のキャリア濃度や組成などの特性に不均一性をもたらす。特に窒化物半導体が InGaN では、この温度の不均一性は致命的である。

【0006】 成長後の常温での反りは、その後の素子製造工程で行われるフォトリソグラフィにおいて、微細パターンの露光の際に大きな問題となる。

【0007】 このため、これら結晶欠陥及び反りの発生の防止対策として、選択成長によるラテラル方向成長を利用した ELOG (O.-H. Nam et al, Appl. Phys. Lett. 71 (1997) 2472) や FIEL (A. Sakai et al, Appl. Phys. Lett. 71 (1997) 2259) が開発されている。

【0008】 これ以外にも、製造する窒化物半導体の同種基板となる GaN 基板の開発も進んでいる。

【0009】 また、HVPE で数百 μm の GaN 膜をサファイア基板上に成長し、後にサファイア基板を除去して GaN 基板とする手法も提案されており、この方法は、品質やコストの面からより現実的である。

【0010】

【発明が解決しようとする課題】 しかしながら、ELOG や FIEL は、いまだ結晶欠陥が $10^6 \sim 10^7 / \text{cm}^2$ ほどあり、反りの問題は全く改善されていない。

【0011】 また、GaN 基板の開発は、まだ 10 mm 直径のものしか製造できておらず、製法も超高压下で行うため製造コストが非常に高く、実用的でない。

【0012】 また、HVPE でサファイア基板上に GaN を成長した後、サファイア基板を除去する方法は、結晶欠陥がかなり多く、さらに実用的なサファイア基板の除去法が無く、除去後も反りが残るなどの問題がある。

【0013】 そこで、本発明の目的は、結晶欠陥の発生を低減すると共に反りの発生を防止することにより、品質と生産性に優れた窒化物半導体及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】 上記課題を解決するために請求項 1 の発明は、基板と、その基板上に形成され内部に多数の微細なボイドを有する窒化物半導体層とを備えたものである。

【0015】 請求項 2 の発明は、基板と、その基板上に形成され内部に多数の微細なボイドを有する窒化物半導

体層と、その窒化物半導体層の上に少なくとも一層形成された薄膜とを備えたものである。

【0016】請求項3の発明は、上記窒化物半導体層及び上記薄膜は、Ga₂N、AlGa₂N、又はInGa₂Nのいずれかからなるものである。

【0017】請求項4の発明は、基板上に窒化物半導体層を成長させ、その窒化物半導体層に多数の微細なボイドを形成した後、熱処理を施して表面を再結晶化させて再結晶層を形成する方法である。

【0018】請求項5の発明は、基板上に窒化物半導体層を成長させ、その窒化物半導体層に多数の微細なボイドを形成した後、熱処理を施して表面を再結晶化させて再結晶層を形成し、該再結晶層上に一層以上の薄膜をエピタキシャル成長により形成する方法である。

【0019】請求項6の発明は、上記微細なボイドの大きさ、数、密度、分布などを上記熱処理により制御する方法である。

【0020】請求項7の発明は、上記の製造を行った後、上記基板或いは上記基板及びボイドを有する多孔質層を剥離する方法である。

【0021】請求項8の発明は、上記の製造を行った後、上記基板がある側とは反対側の表面に他の基板を貼り付け、上記基板或いは上記基板及び上記多孔質層を剥離する方法である。

【0022】請求項9の発明は、上記他の基板としてシリコンなどの半導体基板、窒化アルミニウムなどの高熱伝導性基板、或いは銅、アルミなどの金属基板を用いる方法である。

【0023】請求項10の発明は、上記熱処理を水素中、NH₃中、もしくはその両者を含む雰囲気中で行う方法である。

【0024】すなわち、本発明の要点は、Ga₂N膜(AlGa₂N、InGa₂Nでも可。)を、陽極酸化や光エッチング(C. Youtsey et al, Appl. Phys. Lett. 71, (1997) 2151)でエッチングしてそのGa₂N膜表面に多孔質(ポアラス)を形成し、さらにこの多孔質Ga₂Nを水素中で熱処理して、表面が連続した平滑な再結晶層を有するGa₂Nエピ膜を形成することにある。

【0025】上記構成によれば、多孔質Ga₂Nが水素と反応して一部がGaとNH₃になり、このGaが表面をマイグレートしてキンクやステップなどの核成長サイトでNH₃と反応し、Ga₂Nがエピタキシャル成長する。これが熱平衡となるまで進行し、適切な温度、時間、水素の純度、NH₃などのガス混合により、多孔質Ga₂Nの表面が再結晶化すると共にエピタキシャル成長して、表面が連続した平滑なGa₂Nエピ膜が形成される。

【0026】これにより、基板と窒化物半導体との格子定数の違いから、それらの界面付近に結晶欠陥が発生しても、表面の再結晶化はラテラル方向に起こるため、再結晶層は、ELOGのように結晶欠陥が低減する。

【0027】また、基板と窒化物半導体との熱膨張差や格子定数差による歪みは、表面が再結晶化してもその下に多孔質が存在するため、このミクロな多数のボイドの部分が基板と薄膜(窒化物半導体)との熱膨張差や格子定数差による歪みをいわばクッション層のような効果で緩和する。

【0028】従ってエピ膜中の結晶欠陥が減り、エピ成長中及び成長後の反りも大幅に低減される。

【0029】さらに、本発明は、この多孔質(ボイド)の層を選択エッチング、超高压水流、GaAsジェット、レーザー切断などにより、溶解、破断して基板からエピ膜を剥離し、そのエピ膜を他の基板に貼り付ける(無論、剥離前に貼り付けることもできる。)ことにより、デバイス応用に応じた最適な基板・エピ構造とすることもできる。

【0030】

【発明の実施の形態】次に、本発明の好適一実施の形態を添付図面に基づいて詳述する。

【0031】図1に本発明にかかる窒化物半導体としてGa₂Nの側面図を示す。

【0032】図1に示すように、このGa₂Nは、サファイア基板1と、そのサファイア基板1上に形成された窒化物半導体層10とから構成されており、すなわち異種基板上に形成された窒化物半導体である。

【0033】窒化物半導体層10は、表面側には良質なGa₂Nからなる再結晶層3が形成され、また、基板側には微細なボイド及びその集合体2aからなる多孔質Ga₂N層2が形成されている。

【0034】このGa₂Nの製造方法を図5を用いて説明する。

【0035】図1に示したGa₂Nを製造するに際しては、まず、図5(a)に示すように、サファイア基板1上に、通常のMOCVD法や、MBE法、HVPEH法などにより、Ga₂Nの薄膜10aを成長させる。

【0036】そして、このGa₂N10aを、図5(b)に示すように、上述した光エッチング(C. Youtsey et al, Appl. Phys. Lett. 71, (1997) 2151)によりエッチングし、多数の微細なボイド及びその集合体2aからなる多孔質10bを形成する。この多数のボイド2aの形成は、光エッチングの条件(光の強度、波長、エッチング液の温度)を調節して行われる。

【0037】また、このエッチングの基本条件は、例えば、照射光は波長365nmの紫外線、エッチング液はKOHとK₂S₂O₈との混合水溶液であり、Ga₂Nをこのエッチング液中に入れ、これに照射光を当ててエッチングする。この時、エッチング液に溶解させたくない部分(Ga₂Nの表面あるいは裏面の一部又は全面)がある場合には、その部分にAuやPtなどの貴金属を付着させる場合もある。

【0038】そして、この多孔質Ga₂NをMOCVD炉

に入れ、水素中で加熱する。この時、水素に NH_3 や窒素を混合する場合もある。加熱温度は $800^\circ\text{C}\sim 1100^\circ\text{C}$ 、加熱時間は数秒から数時間の範囲が一般的だが、多孔質 GaN の状態などによっては上述した温度・時間以外の条件でも良い。

【0039】この加熱により、図5(c)に示すように、多孔質 GaN が水素と反応して一部は Ga と NH_3 になり、この Ga が表面をマイグレートしてキンクやステップなどの核成長サイトで NH_3 と反応し、 GaN がエピタキシャル成長する。そして、このエピタキシャル成長が熱平衡となるまで進行し、適切な温度、時間、水素の純度、 NH_3 などのガス混合により、多孔質の GaN 表面が再結晶化すると共に表面がエピタキシャル成長して、表面が連続した平滑な再結晶層3が形成される。

【0040】このようにして、表面には再結晶層3を有し、その下に微細なボイド2aが多数存在する多孔質層(微細ボイド層)2を有する GaN 膜が形成される。

【0041】そして、この微細ボイド層2の性状(ボイドの大きさ、密度、大きさの分布、微細ボイド層2の厚さなど)は、さらなる熱処理、あるいは加熱工程後の更なる熱処理で制御される。

【0042】その後、炉内が冷却され、 GaN が取り出される。

【0043】このようにして製造された GaN は、サファイア基板1と窒化物半導体層10との格子定数の違いにより、それらの界面付近に結晶欠陥が発生するが、表面の再結晶層3の再結晶化がラテラル方向に起こるため、 ELOG のように結晶欠陥が低減する。

【0044】また、サファイア基板1と窒化物半導体層10との熱膨張差による歪みも、多孔質層2により緩和されるので、 GaN に反りが発生しない。

【0045】更に、微細ボイド層(多孔質層)2は、低誘電率、高抵抗となるため、この GaN から製造されるHEMT横型デバイスでは、リーク電流が低減されると共に、寄生抵抗の発生が低減される。

【0046】さらに、本発明は、この多孔質(ボイド)層2を選択エッチング、超高压水流、 GaAs ジェット、レーザー切断などにより、溶解、破断してサファイア基板1からエピ膜を剥離し、そのエピ膜を他の基板に貼り付ける(無論、剥離前に貼り付けることもできる。)ことにより、デバイス応用に応じた最適な基板・エピ構造とすることもできる。

【0047】次に、本発明の他の実施の形態を説明する。

【0048】図2に、図1に示した GaN の基板及び多孔質層を剥離・除去した再結晶層の側面図を示す。

【0049】図2に示すように、この GaN (3)は、多孔質 GaN 上に成長された GaN のみで形成されている。

【0050】すなわち、この GaN (3)は、同種基板

上に成長された GaN であるため、結晶欠陥が存在せず、それ自体に反りも発生していない。

【0051】これにより、この GaN (3)から光素子を製造した場合には、その光素子は、発光特性が低下せず、信頼性も高い。また、電子デバイスのリーク電流や非線形性も発生しない。

【0052】さらに、 GaN (3)は反りがないので、成長中の加熱物体との接触が均一に保たれ、エピタキシャル薄膜のキャリア濃度や組成などの特性が均一になると共に、また、成長後のフォトリソグラフィーにおいても、微細パターン露光工程の作業性に優れる。

【0053】また、他の実施の形態として、図3に、図1に示した GaN の基板を剥離・除去した GaN (窒化物半導体層)の側面図を示す。

【0054】図3に示すように、この GaN は、基板側に形成された多孔質層2と、表面側に形成された再結晶層3とから構成されている。

【0055】すなわち、この GaN は、基板側の結晶には、基板との格子定数の違いにより発生した結晶欠陥が存在するが、表面の再結晶化がラテラル方向に起こるため、再結晶層3に結晶欠陥が発生しない。また、同種基板上に形成された GaN であるため、上述した図2の GaN と同様に、この GaN から光素子を製造する場合、素子の特性が低下せず、信頼性の高い素子が製造できる。

【0056】また、これら以外の他の実施の形態として、図4に、窒化物半導体の薄膜を多層に積層した GaN の側面図を示す。

【0057】図4に示すように、この GaN は、本実施の形態で説明した多孔質 GaN の加熱工程まで行った後、引き続き、そのまま炉内で GaN 、 AlGaIn 、又は InGaIn などの窒化物半導体4a、4b、...、4nを、 GaN 系のデバイス用の構造となるようにエピタキシャル成長させるか、又は、炉内から GaN ウェハを取り出した後、別途、MOCVD法によりその GaN ウェハの上にデバイス構造のエピタキシャル成長を行って、サファイア基板1上の再結晶層3の上に、窒化物半導体4a、4b、...、4nが多層に積層された薄膜(多層膜)4を形成したものである。

【0058】この多層窒化物半導体から製造するデバイスがLEDの場合は、上述した表面結晶化多孔質 GaN の上に、例えば、 Si ドープn型 GaIn 層、アンドープ InGaIn とアンドープ GaIn の量子井戸型活性層、 Mg ドープp型 GaIn 層を順次成長すれば良い。

【0059】また、製造するデバイスがHEMTの場合は、例えば、はじめにアンドープ GaIn 層を成長させ、さらに AlGaIn 層と GaIn 層を交互に複数層積層したバッファ層を成長させ、さらに GaIn 又は InGaIn のチャネル層を成長させる。そして、n型 AlGaIn 又はn型 GaIn キャリア供給層を成長させ、さらにその層の

上に、 $n++$ 型 GaN、又は $n++$ 型 InGa_xN_{1-x}層をオーミックコンタクト層として成長させる場合もある。また、キャリア供給層をアンドープとしても良い。

【0060】また、本実施の形態では、窒化物半導体層 10 が GaN の場合について説明したが、変形例として、AlGa_xN、又は InGa_xN のいずれかの薄膜であっても良い。また、他の実施の形態で、多層膜について説明したが、GaN、AlGa_xN、又は InGa_xN の組み合わせはこれに限定されないことは勿論である。

【0061】更に、基板としてサファイア以外にも、基板として GaN や SiC でもバルク GaN を用いても良い。

【0062】また、本実施の形態では、反応炉として MOCVD 炉を用いたが、通常の CVD 炉や、MBE 炉、HYPE 炉、拡散炉のようなものでも良く、この時の熱処理も、水素中だけでなく、NH₃ 中、もしくはその両者を含む雰囲気中で行っても良い。

【0063】

【発明の効果】以上要するに本発明によれば、基板と窒化物半導体との格子定数の違いにより結晶欠陥が存在するが、表面の再結晶層の再結晶化がラテラル方向に起こ

るため、ELOG のように結晶欠陥が低減する。

【0064】また、基板と窒化物半導体との熱膨張差や格子定数差による歪みは、多孔質層により緩和されるので、反りが発生しない。

【図面の簡単な説明】

【図1】本発明の一実施の形態を示す GaN の側面図である。

【図2】図1の基板及び多孔質層を剥離・除去した窒化物半導体の側面図である。

【図3】図1の基板を剥離・除去した窒化物半導体の側面図である。

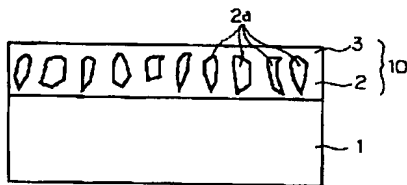
【図4】図1の再結晶層上に多層膜が形成された窒化物半導体の側面図である。

【図5】図1の窒化物半導体の製造過程を説明するための流れ図である。

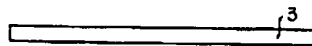
【符号の説明】

- 1 サファイア基板
- 2 多孔質層（微細ボイド層）
- 2a 微細なボイド及びその集合体
- 3 再結晶層
- 10 窒化物半導体層

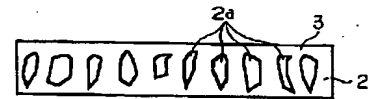
【図1】



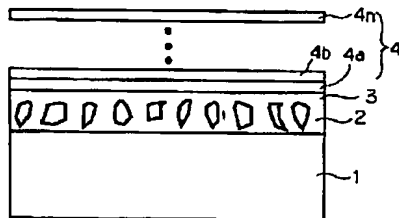
【図2】



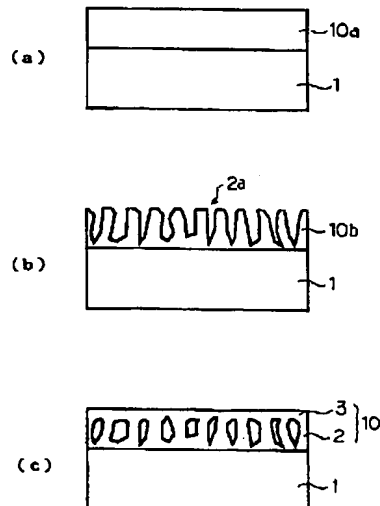
【図3】



【図4】



【図5】



フロントページの続き

F ターム(参考) 5F041 AA31 AA40 CA34 CA40 CA46
CA65 CA67 CA73 CA74 CA77
5F043 AA16 BB10 DD02 DD08 DD14
DD30 FF10 GG10
5F045 AA04 AB09 AB14 AC12 AD12
AD13 AD14 AF02 AF04 AF09
AF12 BB11 BB12 CA07 CA09
DA52 DA61 HA12 HA16
5F052 CA01 DA04 DB01 DB06 EA15